

Esercitazioni di Laboratorio III

Costruzione di un Multiplexer (Mux) a 4 ingressi

Salvatore di Maggio
Chiara Santoro
Maggio 2006

Schema del circuito

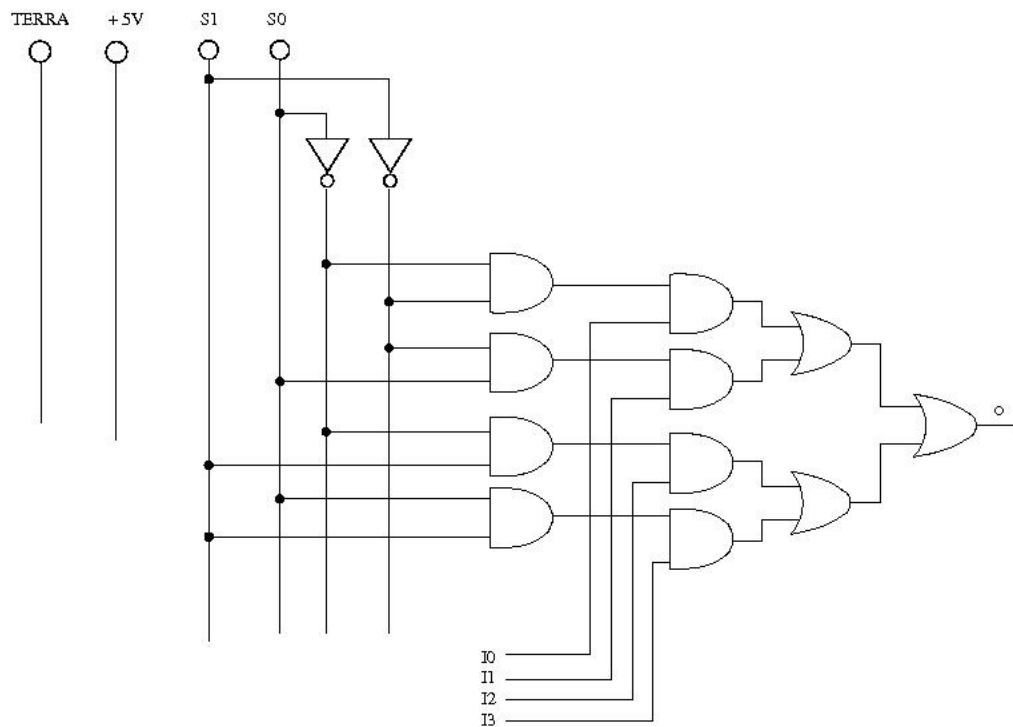


Figura 1: Schema del multiplexer a 4 ingressi.

Breve descrizione dell'esperienza

Data la relativa complessità del circuito nella realizzazione su una basetta, in via preliminare si sono verificati i funzionamenti delle varie porte logiche. Una seconda verifica si è effettuata dopo la realizzazione dei collegamenti del primo livello logico.

Verifica del funzionamento delle porte logiche

Tutte le tensioni in ingresso sono prese dal distributore di livelli logici. Le tensioni in uscita sono misurate con il multimetro digitale (f.s. 20V per lo stato logico alto; f.s. 2V o 200mV per stato logico basso).

Dalle tabelle seguenti si vede che tutti i valori di tensione misurati in uscita sono entro i range di accettabilità per le porte logiche dichiarati nella documentazione allegata agli integrati.

Dal distributore di livelli logici sono state misurate le tensioni in uscita per testare le porte logiche. I valori sono qui riportati:

- Stati logici bassi: (132.3 ± 0.4) [mV], (133.2 ± 0.4) [mV];
- Stati logici alti: (4.49 ± 0.02) [V], (4.46 ± 0.02) [V].

NOT

Si sono verificati malfunzionamenti delle porte relative ai piedini 10-11 e 12-13.

Ingresso	Uscita	I	O
(132.3 ± 0.4) [mV]	(4.44 ± 0.02) [V]	0	1
(5.06 ± 0.02) [V]	(121 ± 1) [mV]	1	0

Tabella 1: Tabella delle tensioni e degli stati logici dei diversi NOT presenti nel circuito integrato.

AND

Tutte le porte dei due circuiti integrati funzionano correttamente. Le porte dello stesso integrato funzionano allo stesso modo, per cui si riporta solo una tabella per ogni integrato.

I1	I0	Uscita
0	0	(77 ± 1) [mV]
0	1	(77 ± 1) [mV]
1	0	(77 ± 1) [mV]
1	1	(4.13 ± 0.02) [V]
0	0	(111 ± 1) [mV]
0	1	(111 ± 1) [mV]
1	0	(111 ± 1) [mV]
1	1	(4.47 ± 0.02) [V]

Tabella 2: Tabella delle tensioni in uscita relative agli stati logici in ingresso nei diversi AND presenti nel primo (in alto) e nel secondo (in basso) circuito integrato.

OR

Tutte le porte dei due circuiti integrati funzionano correttamente. Tutte le porte dell'integrato funzionano allo stesso modo, per cui si riporta una tabella unica per tutti gli OR presenti.

I1	I0	Uscita
0	0	$(71 \pm 1) \text{ [mV]}$
0	1	$(4.15 \pm 0.02) \text{ [V]}$
1	0	$(4.15 \pm 0.02) \text{ [V]}$
1	1	$(4.15 \pm 0.02) \text{ [V]}$

Tabella 3: Tabella delle tensioni in uscita relative agli stati logici in ingresso nei diversi OR presenti nel circuito integrato.

Realizzazione del Mux

La figura 2 mostra il circuito quando ormai si stavano realizzando gli ultimi collegamenti. Come si vede, si è cercato di evitare fili troppo lunghi in modo da rendere più libere, e quindi più chiare, le varie connessioni.

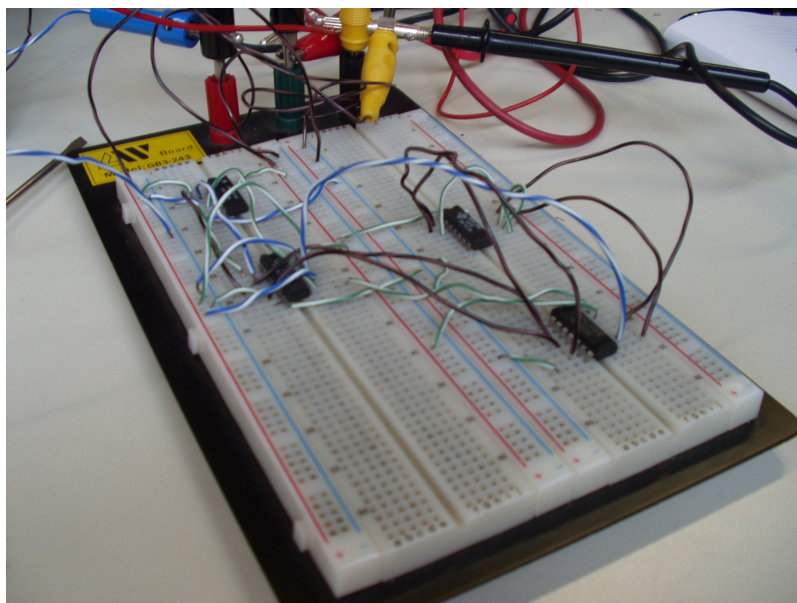


Figura 2: Immagine del circuito multiplexer in fase di ultimazione.

Una volta ultimato il circuito, si sono collegati i diversi ingressi e le selezioni S1 e S2 per verificare la rispondenza funzionale del mux. Le tabelle 4, delle tensioni, e 5, degli stati logici, confermano che la realizzazione del circuito si è conclusa con successo.

Non si è ritenuto necessario completare la tabella con tutte le 64 combinazioni diverse, in quanto è bastato verificare che, una volta selezionato un ingresso, l'uscita fosse riferita a quello e non ad un altro. In pratica, posto il

I3 [V]	I2 [V]	I1 [V]	I0 [V]	S1 [V]	S0 [V]	O [V]
5.06 ± 0.02	5.06 ± 0.02	5.06 ± 0.02	0	0	0	0.073 ± 0.002
5.06 ± 0.02	5.06 ± 0.02	0	5.06 ± 0.02	0	5.06 ± 0.02	0.073 ± 0.002
5.06 ± 0.02	0	5.06 ± 0.02	5.06 ± 0.02	5.06 ± 0.02	0	0.074 ± 0.002
0	5.06 ± 0.02	5.06 ± 0.02	5.06 ± 0.02	5.06 ± 0.02	5.06 ± 0.02	0.073 ± 0.002
0	0	0	5.06 ± 0.02	0	0	4.13 ± 0.04
0	0	5.06 ± 0.02	0	0	5.06 ± 0.02	4.14 ± 0.04
0	5.06 ± 0.02	0	0	5.06 ± 0.02	0	4.12 ± 0.04
5.06 ± 0.02	0	0	0	5.06 ± 0.02	5.06 ± 0.02	4.13 ± 0.04

Tabella 4: Tabella delle tensioni del multiplexer a 4 ingressi. Gli ingressi sono presi direttamente dal generatore di livelli logici.

I3	I2	I1	I0	S1	S0	O
1	1	1	0	0	0	0
1	1	0	1	0	1	0
1	0	1	1	1	0	0
0	1	1	1	1	1	0
0	0	0	1	0	0	1
0	0	1	0	0	1	1
0	1	0	0	1	0	1
1	0	0	0	1	1	1

Tabella 5: Tabella degli stati logici.

livello logico dell'ingresso I_i a 0 e tutti gli altri a 1, se l'uscita della selezione di I_i restituisce il livello logico 0, allora la verifica della selezione ha avuto successo.

Una volta eseguita la verifica funzionale, si è passati allo studio di un segnale dinamico come un'onda quadra (nella figura 3 si vede questa onda quadra, dove però si è scelta una divisione delle tensioni inferiore rispetto a quella delle figure 4 e 5).

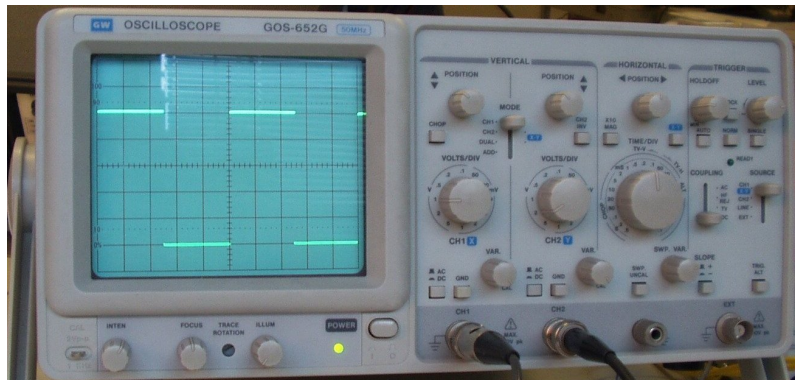
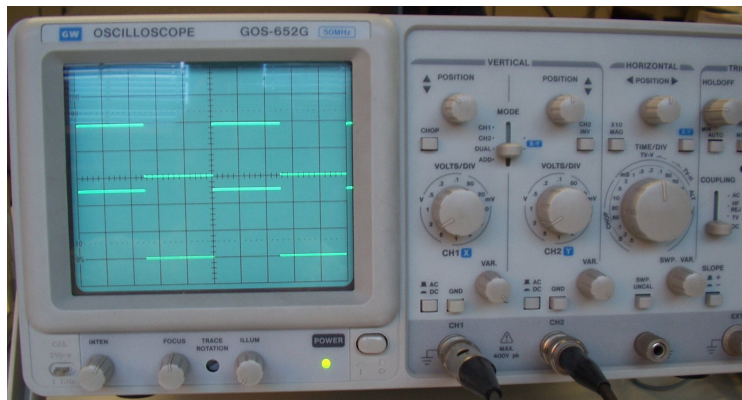


Figura 3: Onda quadra in uscita dal generatore di onde.

Fissata la selezione degli ingressi su I2, applicando su questo ingresso l'onda

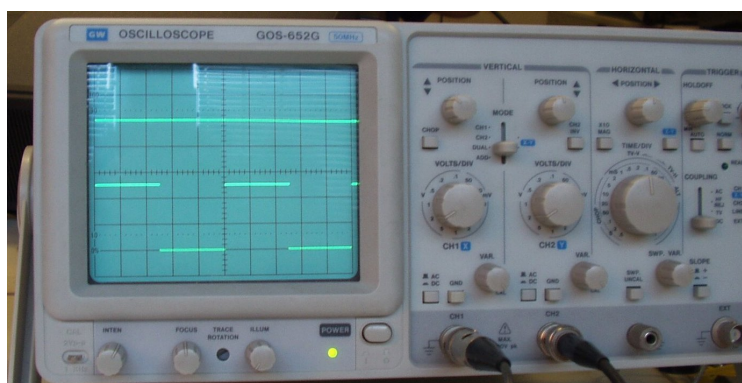
quadra, si è ritrovata l'onda quadra all'uscita (figura 4). La tabella dei relativi stati logici, dove P indica l'ingresso di onda quadra, riflette questa situazione.



I3	I2	I1	I0	S1	S0	O
1	P	1	1	1	0	P

Figura 4: In alto: confronto fra le onde quadre: sopra in uscita dal mux, sotto all'ingresso I2, con la selezione dell'ingresso I2 ($S1, S0 = (1, 0)$). In basso: relativi stati logici del mux.

La figura 5 fa riferimento ai collegamenti in cui si è applicata l'onda quadra all'ingresso I3 anzichè I2, mantenendo selezionato l'ingresso I2. E infatti si vede che il segnale di uscita è in stato logico alto, come da relativa tabella.



I3	I2	I1	I0	S1	S0	O
P	1	1	1	1	0	1

Figura 5: In alto: confronto fra le onde quadre: sopra in uscita dal mux, sotto all'ingresso I3, con la selezione dell'ingresso I2 ($S1, S0 = (1, 0)$). In basso: relativi stati logici del mux.