

Esercitazioni di Laboratorio III

Circuito sommatore completo per numeri a 1 bit

Salvatore di Maggio
Chiara Santoro
Maggio 2006

Schema del circuito ed equazioni booleane

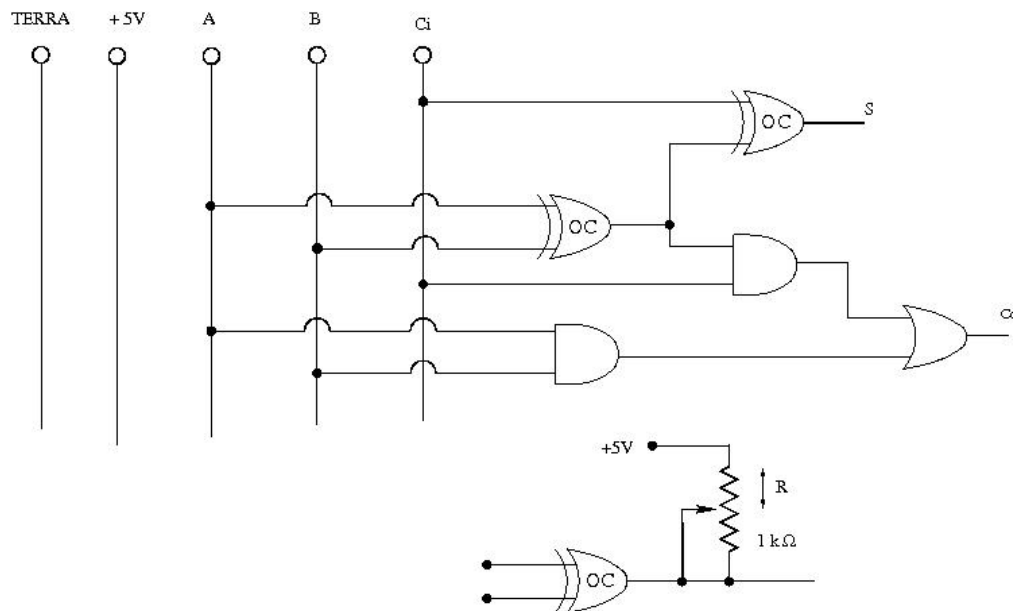


Figura 1: Schema del circuito sommatore completo per numeri a 1 bit.

$$\begin{aligned} S &= C_i \oplus A \oplus B \\ C_o &= A \cdot B + C_i \cdot (A \oplus B) \end{aligned}$$

Le resistenze di pull-up degli EXOR sono risultate dello stesso ordine di grandezza, e precisamente:

$$\begin{aligned} R_1 &= (929 \pm 3) \, \Omega ; \text{ per l'EXOR collegato a } C_i \\ R_2 &= (961 \pm 3) \, \Omega ; \text{ per l'EXOR collegato ad } A \text{ e } B \end{aligned}$$

Verifica del funzionamento delle porte logiche

Tutte le tensioni in ingresso sono prese dal distributore di livelli logici. Le tensioni in uscita sono misurate con il multimetro digitale (f.s. 20V per lo stato logico alto; f.s. 2V o 200mV per stato logico basso).

Dalle tabelle seguenti si vede che tutti i valori di tensione misurati in uscita sono entro i range di accettabilità per le porte logiche dichiarati nella documentazione allegata agli integrati.

Dal distributore di livelli logici sono state misurate le tensioni in uscita per testare il funzionamento delle porte logiche. I valori sono qui riportati:

- Stati logici bassi; (133.2 ± 0.4) [mV], (132.3 ± 0.4) [mV];
- Stati logici alti: (4.49 ± 0.02) [V], (4.46 ± 0.02) [V].

AND

I1	I0	Uscita
Piedino 13	Piedino 12	Piedino 11
0	0	(132.6 ± 0.4) [mV]
0	1	(132.6 ± 0.4) [mV]
1	0	(132.6 ± 0.4) [mV]
1	1	(4.47 ± 0.02) [V]
Piedino 1	Piedino 2	Piedino 3
0	0	(133.2 ± 0.4) [mV]
0	1	(133.2 ± 0.4) [mV]
1	0	(133.2 ± 0.4) [mV]
1	1	(4.47 ± 0.02) [V]

Tabella 1: Tabella delle tensioni in uscita relative agli stati logici in ingresso ai piedini nel circuito integrato degli AND.

OR

I1	I0	Uscita
Piedino 1	Piedino 2	Piedino 3
0	0	(111.8 ± 0.4) [mV]
0	1	(4.12 ± 0.02) [V]
1	0	(4.12 ± 0.02) [V]
1	1	(4.13 ± 0.02) [V]

Tabella 2: Tabella delle tensioni in uscita relative agli stati logici in ingresso ai piedini nel circuito integrato degli OR.

EXOR

I1	I0	Uscita
Piedino 8	Piedino 9	Piedino 10
0	0	(292 ± 2) [mV]
0	1	(5.06 ± 0.02) [V]
1	0	(5.06 ± 0.02) [V]
1	1	(292 ± 2) [mV]
Piedino 4	Piedino 5	Piedino 6
0	0	(291 ± 2) [mV]
0	1	(5.06 ± 0.02) [V]
1	0	(5.06 ± 0.02) [V]
1	1	(291 ± 2) [mV]

Tabella 3: Tabella delle tensioni in uscita relative agli stati logici in ingresso ai piedini nel circuito integrato degli EXOR.

Realizzazione del sommatore

Data la relativa complessità del circuito nella realizzazione su una basetta, in via preliminare si sono verificati i funzionamenti delle varie porte logiche. Si sono così individuati i seguenti pin di ingresso e uscita per ogni integrato:

Integrato	Ingresso 1	Ingresso 2	Uscita
7408 (AND)	13	12	11
	1	2	3
7432 (OR)	1	2	3
74LS136 (OC EXOR)	8	9	10
	4	5	6

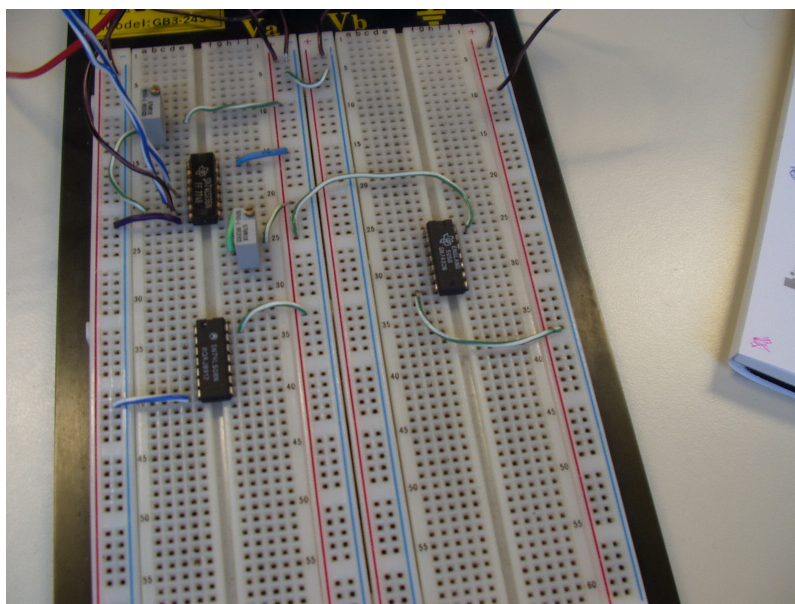


Figura 2: Immagine del circuito sommatore in fase di incipiente realizzazione.

Nonostante le attenzioni, la prima realizzazione non ha dato esito di successo, per cui, risalendo a ritroso il percorso dei segnali dall'uscita finale verso gli ingressi, siamo riusciti a rilevare che vi erano solo dei punti di contatto difettosi che abbiamo provveduto a rendere efficienti.

Tutte le misure in tensione sono state effettuate con il multimetro digitale; per le misure della tensione corrispondente allo stato logico alto il f.s. era fissato a 20 V, per le misure corrispondenti allo stato logico basso il f.s. era di 2 V o 200 mV, scegliendo il f.s. minore in funzione della lettura stessa. Tutti i valori ottenuti sono nel range di accettabilità del costruttore.

Equazioni booleane e tabelle di verità

C_i [V]	A [V]	B [V]	S [V]	C_o [V]
0	0	0	0.286 ± 0.002	0.1345 ± 0.0004
0	0	5.06 ± 0.02	5.05 ± 0.02	0.1300 ± 0.0004
0	5.06 ± 0.02	0	5.05 ± 0.02	0.1281 ± 0.0004
0	5.06 ± 0.02	5.06 ± 0.02	0.286 ± 0.002	4.07 ± 0.02
5.06 ± 0.02	0	0	5.04 ± 0.02	0.1256 ± 0.0004
5.06 ± 0.02	0	5.06 ± 0.02	0.327 ± 0.002	4.08 ± 0.02
5.06 ± 0.02	5.06 ± 0.02	0	0.327 ± 0.002	4.08 ± 0.02
5.06 ± 0.02	5.06 ± 0.02	5.06 ± 0.02	5.04 ± 0.02	4.08 ± 0.02

Tabella 4: Tabella delle tensioni in uscita dal sommatore completo per numeri a un bit. Le tensioni in ingresso sono prese dal distributore di livelli logici.

C_i	A	B	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tabella 5: Tabella degli stati logici del sommatore completo per numeri a un bit.